

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-132252

(43)Date of publication of application : 06.05.1992

(51)Int.CI. H01L 27/04  
H01L 21/82  
H03K 19/086

(21)Application number : 02-253637

(71)Applicant : HITACHI LTD  
HITACHI COMPUT ENG CORP LTD

(22)Date of filing : 21.09.1990

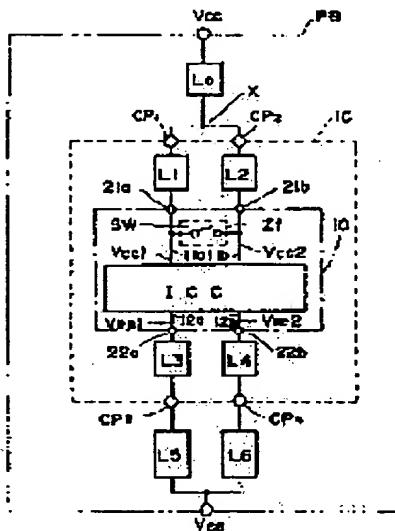
(72)Inventor : ITO YUKO  
YAMADA TOSHI  
SHIMIZU ATSUSHI  
TANAKA KAZUO  
YOSHIDA SUKEHIRO

## (54) POWER SUPPLY SYSTEM IN SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To effectively suppress the fluctuation of power voltage resulting from change in current in a circuit in conformity with an actual circuit mounting condition for making it possible to expand an AC noise margin by making power supply routes with the same potential in common.

**CONSTITUTION:** In a semiconductor integrated circuit containing an ECL circuit, considering a package structure a circuit mounting structure onto a printed board, the first power supply wiring 11a for current switch circuit and the first power voltage wiring 11b for emitter follower circuit are kept connected or disconnected with the use of a low impedance means. That is, letting the parasitic inductance of the first power voltage Vcc supply line on the printed board be L0 and the parasitic inductance of the circuit between wiring 11a and the first power voltage Vcc supply line X and the parasitic inductance of the circuit between wiring 11b and the first power voltage Vcc supply line X be L1 and L2, respectively, if  $L0 \geq L1$  and  $L2$ , the wirings 11a and 11b are connected within the semiconductor chip by a low impedance means Zf. On the other hand, if  $L0 \leq L1$  and  $L2$ , wiring 11a is disconnected from wiring 11b within the semiconductor chip.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**REST AVAILABLE COPY**

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平4-132252

⑬ Int.Cl.<sup>5</sup>  
H 01 L 27/04  
21/82

識別記号 D  
序内整理番号 7514-4M

⑭ 公開 平成4年(1992)5月6日

7638-4M H 01 L 21/82  
審査請求 未請求 請求項の数 3 (全11頁)  
L※

⑮ 発明の名称 半導体集積回路装置における給電方式

⑯ 特 願 平2-253637

⑰ 出 願 平2(1990)9月21日

⑱ 発明者 伊藤 純子 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑲ 発明者 山田 利夫 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑳ 発明者 清水 淳 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

㉑ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 出願人 日立コンピュータエンジニアリング株式会社 神奈川県秦野市堀山下1番地

㉓ 代理人 弁理士 大日方 富雄

最終頁に続く

明細書

1. 発明の名称

半導体集積回路装置における給電方式

2. 特許請求の範囲

1. 半導体集積回路装置内の同電位の電源配線を2以上に分離するとともに、それらの同電位の電源配線を少なくとも一部で互いに隣接するように配設し、外部の共通電源供給経路のインダクタンスが相対的に大きい場合には上記電源配線を分離したままにし、上記インダクタンスが相対的に小さい場合には上記電源配線間を上記隣接箇所にて低インピーダンスで接続するようにしたことを特徴とする半導体集積回路装置における給電方式。

2. 上記低インピーダンスは、電源配線層間に導電材料で埋設するよう形成されたショートバターンであることを特徴とする請求項1記載の半導体集積回路装置における給電方式。

3. 上記ショートバターンは、電源配線が多層構造とされている場合に、最上層の配線層にて形成されることを特徴とする請求項2記載の半導体集

積回路装置における給電方式。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体集積回路装置における給電方式に関し、特にエミッタ・カップルド・ロジック(ECL)を用いた論理集積回路の給電方式に利用して有効な技術に関する。

【従来の技術】

半導体集積回路装置の一つとして、エミッタ・カップルド・ロジック(ECL)回路を用いた半導体論理回路がある。ECL回路は、例えば、カレントスイッチ回路とエミッタ・フォロワ回路を含む。上記カレントスイッチ回路は、そのベースに入力信号を受ける入力バイポーラ・トランジスタと、上記入力バイポーラ・トランジスタのエミッタにそのエミッタが結合され、そのベースに参照電位V<sub>BB</sub>を受ける参照用バイポーラ・トランジスタと、上記入力バイポーラ・トランジスタのコレクタと第1電源電圧(Vcc)配線との間に設けられる第1負荷抵抗と、上記参照用バイポー

ラ・トランジスタのコレクタと上記電源電圧(Vcc)配線との間に設けられる第2負荷抵抗と、上記入力及び参照用バイポーラ・トランジスタのエミッタと第2電源電圧(Vee)配線との間に設けられる電流源を含む。上記エミッタ・フォロワ回路は、そのベースが上記第1負荷抵抗と上記入力バイポーラ・トランジスタのコレクタとの共通接続点に結合され、そのコレクタが上記第1電源電圧(Vcc)配線に結合され、そのエミッタが出力端子に結合され、かつ、エミッタ抵抗を介して第2電源電圧(Vee)配線に結合されるエミッタ・フォロワ・バイポーラ・トランジスタを含む。

尚、このようなECL回路については、アイ・イー・イー・ジャーナル オブ ソリッドステート サーキット、Vol. 24, No. 5, 1989年10月(IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 24, NO. 5 OCTOBER 1989)の1399ページに記載されている。

スが存在するため、上記第1電源電圧配線上の電圧レベルが変動する。したがって、この電圧レベルの変動が上記第1電源電圧配線を介してカレントスイッチ回路に伝達されると、上記カレントスイッチ回路の入力信号に対する交流ノイズマージンを劣化させてしまう。そこで、本発明者らは、カレントスイッチ回路に対する第1電源電圧配線とエミッタ・フォロワ回路に対する第1電源電圧配線を半導体チップ内において分離することによって、エミッタ・フォロワ回路の動作に基づく電圧レベルの変動(電源ノイズ)がカレントスイッチ回路に伝達されにくくなるようにする技術を開発した。この場合、半導体チップ上には、上記カレントスイッチ回路の第1電源電圧配線に第1電源電圧(Vcc)を供給させるための第1電源バッドと、上記エミッタ・フォロワ回路の第1電源電圧配線に第1電源電圧(Vcc)を供給するための第2電源バッドが設けられる。

しかしながら、本発明者は、上記のような電源配線分離技術を用いた場合であっても、下記のよ

特開昭1-280348号は、ECL出力回路を有する半導体メモリ回路装置において、上記ECL出力回路のエミッタ・フォロワ形出力回路部の電源供給路と、この出力回路部の前段をなす能動回路(カレンスイッチ)の電源供給路とをチップ内において低インピーダンスで接続することにより、リード端子のインダクタンス成分による出力回路部の発振を防止するようにした技術を開示している。

#### [発明が解決しようとする課題]

本発明者らは、本発明前に電源ノイズによる上記ECL回路の誤動作防止に關し検討した結果、下記の技術が有効であることを見出した。

すなわち、上記カレントスイッチ回路はその動作時、定常的に電流源から発生される電流を第1電源電圧配線から第2電源電圧配線に流すとみなされる。一方、エミッタ・フォロワ回路は、出力端子をハイレベルとする時に大きな電流を第1電源電圧配線から出力端子へ送出する。この時、第1電源電圧配線に無視し得ない寄生インダクタン

うな問題が発生することを見出した。

すなわち、半導体集積回路装置のパッケージ構造及びプリント基板への実装構造と上記電源ノイズとの間に相関関係が存在し、このようなパッケージ構造及び実装構造を考慮しないと効果的な電源ノイズ対策が行なえないことがわかった。

本発明の目的は、パッケージ構造及びプリント基板(実装基板)への実装構造を考慮した電源供給方式を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

#### [課題を解決するための手段]

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、例えば、ECL回路を含む半導体集積回路装置において、パッケージ構造及びプリント基板への実装構造を考慮して、半導体チップ内のカレントスイッチ回路用の第1電源配線(11a)とエミッタ・フォロワ回路用の第1電源電圧配

線 (11b) が半導体チップ内で低インピーダンス手段を用いて接続されたり、あるいは分離されたままとされる。

具体的には下記のように上記配線 (11a) と (11b) との接続及び非接続（分離）が決定される。すなわち、プリント基板（実装基板）上の第1電源電圧 (Vcc) 供給ラインの寄生インダクタンスを L0 とし、半導体チップ内の配線 (11a) および (11b) から上記プリント基板上の第1電源電圧 (Vcc) 供給ライン X に至るまでのそれぞれの寄生インダクタンスを L1 及び L2 とする場合、上記寄生インダクタンス L0 が上記寄生インダクタンスを L1 及び L2 より大きいとみなせる時、即ち  $L0 \geq L1, L2$  のとき、配線 (11a) と配線 (11b) とが半導体チップ内で低インピーダンス手段 Zf で結合される。一方、上記寄生インダクタンス L0 が上記寄生インダクタンスを L1 及び L2 より小さいとみなせる時、即ち  $L0 < L1, L2$  のとき、配線 (11a) と配線 (11b) とは半導体チップ内で分離され

すなわち、上記寄生インダクタンス L0 の値が寄生インダクタンスを L1 及び L2 より大きい場合、半導体チップ内の配線 (11a) と配線 (11b) が半導体チップ内において低インピーダンス手段によって電気的に結合されるので、配線 (11b) 上に発生した電源ノイズ（電位変動）は上記低インピーダンス手段を介して配線 (11a) へ伝達される。しかしながら、この場合、上記配線 11b 上及び配線 11a 上の電位変動は同相モード（コモンモード）となり、かつ、第8図 (b) のようにその電位変動は徐々に第1電源電圧 (Vcc) へ収束していくようになるため、回路の交流ノイズマージンが拡大される。これに対し、低インピーダンス手段で配線 (11a) と配線 (11b) が結合されない場合、配線 (11b) 上の電位変動がプリント基板上の第1電源電圧供給ライン X に漏れる。そして、寄生インダクタンス L0 の値が大きいこと及び寄生インダクタンス L1 の値が小さいことにより上記供給ライン X 上の電位変動が配線 (11a) に伝達される。その

る。

尚、上記上記寄生インダクタンスを L1 及び L2 の値は、パッケージ構造及び実装構造によってその値が変化する。すなわち、半導体チップをリード端子付パッケージ、例えば、デュアルインラインパッケージ (DIL)、リードレスチップキャリア (LCC) やビングリッドアレイ (PGA) などに封止する時には、ボンディングワイヤ又は／及びリード端子の寄生インダクタンスが上記寄生インダクタンスを L1 及び L2 とされて、その値は約 1.5 nH 程度となる。一方、半導体チップに半田バンプ電極を付けて直接プリント基板上に実装するような実装方式いわゆるコントロールド・コラスプボンディング (CCB) 方式の場合、上記半田バンプ電極の寄生インダクタンスが上記寄生インダクタンスを L1 及び L2 とされて、その値は約 1 nH 程度となる。

#### 【作用】

上記した手段によれば、下記に示される作用により目的が達成される。

後、供給ライン X に漏れた電位変動が配線 (11b) 上に帰還されたり、あるいは、配線 (11a) 上の伝達された電位変動は再び寄生インダクタンス L1、供給ライン X 及び寄生インダクタンス L2 介して上記配線 (11b) に帰還される。したがって、上記配線 (11b) 上の電位変動と、上記配線 (11b) に帰還してきた電位変動がちょうど、360° の位相差となると、共振現象が発生し、配線 (11b) 上の電位が第8図 (a) のように振動性を帯びてしまう。同様に配線 (11a) 上の電位も帰還されてくる電位変動がちょうど 360° の位相差となると、第8図 (a) のようになる。

一方、上記寄生インダクタンス L0 の値が上記寄生インダクタンス L1, L2 の値より小さい場合には、上記配線 (11a) と (11b) とは分離されたままとされる。したがって、配線 (11b) 上に発生した電源ノイズはプリント基板上に漏れるものの、寄生インダクタンス L0 が小さいことにより、上記ノイズはプリント基板上の絶対

クランド ( $V_{cc}$ ) へぬけてしまう。また、寄生インダクタンス  $L_1$  の値が大きいことにより、プリント基板上に漏れたノイズはチップ内の配線 ( $11a$ ) へ伝達されない。

#### [実施例]

第2図には本発明を内部回路がECL(エミッタ・カップルド・ロジック)ゲートで構成されている半導体論理回路装置ICに適用した場合の一実施例が示されている。

この実施例では、シリコンのような半導体チップ10内に、ゼロボルトのような第1電源電位  $V_{cc}$  の印加されている2本の電源配線  $11a$  及び  $11b$  と、-5.2ボルトのような第2電源電位  $V_{ee}$  の電源配線  $12a$  及び  $12b$  が設けられており、ECLゲート  $G_1, G_2, \dots, G_n$  を構成するカレントスイッチ回路  $CS_1, CS_2, \dots, CS_n$  のそれぞれの電源電圧端子は電源配線  $11a$  及び  $12a$  に、またエミッタフォロワ出力段  $EF_1, EF_2, \dots, EF_n$  のそれぞれの電源電圧端子は電源配線  $11b$  及び  $12b$  に接続されている。

ーダンス手段を示している。低インピーダンス手段  $Z_f$  内のスイッチは、それが閉じた状態の時、配線  $11a$  および  $11b$  が電気的に接続されていることを、それが開いた状態のときは配線  $11a$  および  $11b$  が電気的に分離されていることをそれぞれ表現するために記載されている。この低インピーダンス手段  $Z_f$  に関しては、後に詳細に説明される。

第1図は、第2図に示した半導体論理回路装置IC内部の寄生インダクタンス及び実装基板の寄生インダクタンスの模式図を示している。尚、同図において、半導体論理回路装置ICへの入力信号経路及び出力信号経路などは図面の複雑さを回避するために省略されている。また第1図と同一符号が付されたものは同一のものを示している。但し、第1図中のECLゲート  $G_1$  から  $G_n$  は、内部回路ICCと示される。

第2図に示されるように、2点鋼線で示されるプリント基板PBと1点鋼線で示される半導体チップ10とを電気的に接続する場合、以下に示す

また、分離された2組の電源配線  $11a$  ~  $12b$  に対応して、電源パッドも2組設けられており、電源配線  $11a$  は電源パッド  $21a$  に、また電源配線  $11b$  は電源パッド  $21b$  に、電源配線  $12a$  は電源パッド  $22a$  に、電源配線  $12b$  は電源パッド  $22b$  にそれぞれ接続されている。

上記電源パッド  $21a$  と  $21b$  は、実装基板上の第1電源電圧 ( $V_{cc}$ ) 供給ラインから接地電位 (0V) のような同一電位の第1電源電圧  $V_{cc}$  を印加される。電源パッド  $21a$  に印加された第1電源電圧が  $V_{cc1}$  と、また電源パッド  $21b$  に印加された第1電源電圧が  $V_{cc2}$  と記される。

一方、上記電源パッド  $22a$  と  $22b$  は、実装基板上の第2電源電圧供給ラインから-5.2Vのような同一電位の電源電圧  $V_{ee}$  を印加される。電源パッド  $22a$  に印加された電源電圧が  $V_{ee1}$  と、また電源パッド  $22b$  に印加された電源電圧が  $V_{ee2}$  と記される。

第2図において、 $Z_f$  は本発明に従う低インピ

寄生インダクタンスが存在するとみなされる。すなわち、寄生インダクタンス  $L_1, L_2, L_3$  及び  $L_4$  が半導体チップ10上のパッド  $21a, 21b, 22a$  及び  $22b$  とプリント基板PB上の接続点  $CP_1, CP_2, CP_3$  及び  $CP_4$  との間の各々の配線経路に寄生している。また、寄生インダクタンス  $L_0$  がプリント基板PBの第1電源端子  $V_{cc}$  とプリント基板PB上の接続点  $CP_1$  及び  $CP_2$  との間の配線経路に寄生している。さらにまた、寄生インダクタンス  $L_5$  及び  $L_6$  が、プリント基板PB上の接続点  $CP_3$  及び  $CP_4$  とプリント基板PB上の第2電源端子  $V_{ee}$  との間の配線経路に寄生している。

ここで重要な事項は、上記寄生インダクタンス  $L_1$  から  $L_4$  の値がパッケージ構造及び実装構造によって、例えば  $1nH$  から  $15nH$  の間で変化することである。すなわち、チップ10が、例えば、第9図に示されるように、セラミックベースCB内に固定され、かつ、キャップPPによって封止される場合、チップ10上の電源パッド  $21$

## 特開平4-132252(5)

a, 21bはそれぞれ金属性のボンディングワイヤBW、セラミックベースCB内の金属配線MW、リードピンLP及び半田Sによってプリント基板PBと接続されることになる。したがって、チップ上の電源パッド21a, 21bとプリント基板上の接続点CP1, CP2の間には、上記ボンディングワイヤBW、金属配線MW、リードピンLP及び半田Sの寄生インダクタンスが存在する。そのため、この寄生インダクタンスL1, L2の値は、例えば15nH程度となる。一方、チップ10が、例えば、第10図に示されるように、半田バンプSBを介して直接プリント基板PB上に実装されるいわゆるCCB方式の場合、チップ10上の電源パッド21a, 21bは、それぞれ半田バンプSBのみを介して、プリント基板上の接続点CP1, CP2に接続される。したがって、このような実装方法の場合、寄生インダクタンスL1, L2は半田バンプSBの寄生インダクタンスのみであり、その値は1nH程度となる。

以上のようにパッケージの構造や実装構造の違

電源配線11a, 11bに帰還される。

このとき、配線11b上の電源ノイズと配線11a上に帰還された電源ノイズとの間には時間差が発生する。そして、上記配線11b上の電源ノイズの位相と配線11a又は11b上の電源ノイズの位相とがちょうど360°となるような場合、上記配線11b上の電源ノイズ及び配線11a上の電源ノイズは第8図(a)のように振動性を帯びてしまう。そのため、内部回路ICCの入力信号に対する交流ノイズマージンが劣化してしまう。そこで、上記のような場合には、配線11aと11bとは、低インピーダンス手段Zfによって半導体チップ10内で短絡される。すなわち、図中のSWが閉じられる。それによって、配線11b上の電源ノイズが配線11aに伝達するものの配線11a上の電源ノイズと上記配線11b上の電源ノイズとの間には時間差が少なくなり、コモンコードノイズとなり、第8図(b)に示されるように、その振幅は餘々に減少していくようになる。すなわち、配線11aと11bとを短絡す

いは、寄生インダクタンスL1, L2(L3, L4)の値の違いとして表われる。尚、第9図及び第10図は理解を容易とするために模式的に示されており、種々の形態が存在することはいうまでもない。要するに、第9図は、パッケージングされた半導体回路ICの代表的な実装構造を示している。また、第10図もパッケージングされない半導体回路ICの代表的な実装構造を示している。

次に低インピーダンス手段Zfと電源配線11b上に発生した電源ノイズとの関係を、上記寄生インダクタンスL0, L1, L2を用いて説明する。

### (1) $L_0 \geq L_1, L_2$ の場合

この場合は、第10図に示されるような実装構造の場合に対応するとみなされる。電源配線11b上に発生した電源ノイズは、寄生インダクタンスL0が寄生インダクタンスL1, L2より大きいことにより、一旦プリント基板PB上の第1電源供給ライン(図中にXで示されている)に漏れるものの、再び接続点CP1及びCP2を介して

ることによって、配線11a及び11bに関する共振周波数が大きくなる。それによって、エネルギー損失が大きくなり、ノイズの振幅が収束していく。従って、内部回路ICCの交流ノイズマージンはある程度改善される。

### (2) $L_0 < L_1, L_2$ の場合

この場合は、例えば第9図に示されるようなパッケージ構造及び実装構造の場合に対応するとみなされる。配線11b上に発生した電源ノイズは、寄生インダクタンクL1, L2の値が寄生インダクタンスL0の値より大きいことにより、配線11b上からプリント基板PB上へ漏れるものの寄生インダクタンスL0の値が小さいので電源端子Vccへ抜けていく。プリント基板PB上の第1電源供給ライン(X)で発生した電源ノイズは配線11a及び11b上に伝達されない。従って、内部回路の交流ノイズマージンが改善されるので、低インピーダンス手段Zfによって配線11aと11bとを短絡する必要はない。すなわち、図中SWは閉いたままとされ、配線11aと11bと

は電気的に分離されたままである。

第3図には、上記ECLゲートの一例として、3入力NOR論理ゲートの回路図が示されている。すなわち、3個の入力トランジスタQ1～Q3と参照用トランジスタQ4がエミッタ共通接続され、共通エミッタ端子が定電流源CCを介して電源配線12aに接続されている。また、入力トランジスタQ1～Q3のコレクタ端子は共通のコレクタ抵抗Rc1を介して電源配線11aに接続され、参照トランジスタQ4のコレクタ端子はコレクタ抵抗Rc2を介して電源配線11aに接続されている。一方、エミッタフォロワ出力段EFを構成するトランジスタQ11のコレクタ端子は電源配線11に接続され、エミッタ端子は抵抗Reを介して電源配線12bに接続されている。尚、参照トランジスタQ4のベースには図示されない基準電位発生回路から出力された参照電位Vbbが供給される。この基準電位発生回路は例えば配線11aと12aの間に結合されるように第2図のチップ10内に設けられる。尚、第2図においては、

端子は、特に制限されないが内部回路のカレントスイッチCS1～CSnの電源配線11a及び12aに共通に接続されることができる。

第1の実施例では内部回路と出力回路を全く区別せずに、分離配設された電源配線間を、共通電源供給経路のインダクタンスの大きさに応じて短絡もしくは分離している。ところが、半導体集積回路装置では出力回路が50Ωの負荷を駆動できるようになるため、内部回路のゲートの出力電流に比べて10倍以上の電流が出力回路の出力トランジスタを介して出力バットOUTに流されるように設計される。このように出力トランジスタのエミッターコレクタ経路にかなり大きな電流が流れるように設計された半導体回路装置においては、出力回路で生じた電流変化によって大きな電源ノイズが発生されるおそれがあり、電源配線が共通にされると出力回路で発生した電源ノイズによって内部回路の交流ノイズマージンが低下するおそれがある。

これに対し、第2の実施例においては、電源配

図面の複雑さを回避するため、基準電位発生回路の図示は略されている。

第4図には本発明の第2の実施例が示されている。この実施例では、第1の実施例をLSIの内部回路12にのみ適用して、ECLゲートGiのカレントスイッチ回路CSiとエミッタフォロワ出力段EFiとで電源配線を分離したのに加えて、第4図に示すように、出力回路DOBのカレントスイッチ回路CS0と出力バイポーラトランジスタQ20の電源配線を分離してある。尚、OUTは出力パッドを示す。

すなわち、出力バイポーラトランジスタQ20のコレクタ端子は、前記電源配線11a、11bとは分離された電源配線11cに接続されている。そして、この電源配線11cは、電源配線11aと11b間に図示のように低インピーダンス手段ZLで短絡されるように構成された場合にも、分離されたままである。すなわち、電源パッド21cが配線11cのために設けられる。なお、出力回路のカレントスイッチ回路CS0の電源電圧

線11aと11b間に短絡されても、出力回路の電源配線11cは分離されたままであるので、出力回路での電流変化に伴う電源ノイズにより内部回路が誤動作するおそれがないという利点がある。

第5図には第4図の実施例が適用された論理LSIにおける電源配線のレイアウト構成例が示されている。

第5図において、311aと211aは電源電圧Vcc1を供給する配線パターン、311bと211bは電源電圧Vcc2を供給する配線パターン、312aと212aは電源電圧Vee1を供給する配線パターン、312bと212bは電源電圧Vee2を供給する配線パターンである。

このうち、配線パターン311a、311b、312aおよび312bは3層目のアルミニウム層で形成され、配線パターン211a、211b、212aおよび212bは2層目のアルミニウム層で形成される。なお、1層目のアルミニウム層は専ら回路素子間、すなわち、バイポーラトランジ

ンジスタ間やバイポーラ・トランジスタと抵抗素子間を接続する信号線に利用される。ただし、信号線は2層目、3層目のアルミニウム層によっても形成してもよい。

上記配線パターン211a～212bおよび311a～312bを囲むように配設されたパッド列100の内側に沿って矩形状に形成されている配線パターン320は、出力回路DOBに電源電圧Vcc3を供給する電源電圧ラインである。この配線パターン320は特に制限されないが、3層目のアルミニウム層で形成されている。

また、第5図において、111aで示されているのはチップ外部から電源電圧Vcc1を与えるための電源パッド、111bは電源電圧Vcc2を与えるための電源パッド、111cは電源電圧Vcc3を与えるための電源パッド、112aは電源電圧Vee1を与えるための電源パッド、112bは電源電圧Vee2を与えるための電源パッド、残りのパッド110は信号の入出力に使用される信号パッドである。

ン350は、チップの複数箇所に形成される。

なお、上記ショートパターン350の形成方法は、例えば予めショートパターンの形状、大きさおよび位置の情報を有するパターンデータを用意しておいて、このデータと主として電源ラインを構成する3層目のアルミニウム配線のパターンデータとを必要に応じて合成して1枚の3層目アルミニバーン形成用マスクを作成する。あるいは、予め本来の配線パターンデータに基づいて作成したマスクと、ショートパターンデータに基づいて作成したマスクとを用意してショートパターンが必要な場合にはホトレジスト工程を2回に分けて行なうようにしてもよい。

第7図には第6図におけるX-X'線上に沿った2層目と3層目のアルミニウム配線層の断面構造を示す。

ショートパターン350を付加した場合、Vcc1の配線パターン311aとVcc2の配線パターン311b間の谷間にショートパターン350とされるアルミニウム層で埋設されるため、電

なお、2層目のアルミニウム層からなるVcc1ライン211a、Vcc2ライン211b、Vee1ライン212a、Vee2ライン212bと、3層目のアルミニウム層からなるVcc1ライン311a、Vcc2ライン311b、Vee1ライン312a、Vee2ライン313bとは、第6図に拡大するように、各々スルーホール411a、411b、412a、412bにて接触されている。

さらに、この実施例では、3層目のアルミニウム層からなるVcc1ライン311aとVcc2ライン311bとが互いに隣接して配設されており、チップ外部の共通電源供給経路のインダクタンスが小さい場合には、第6図に示すように配線パターン311aと311b間にショートパターン350を形成することにより容易にVcc1ライン11aとVcc2ライン11b間を短絡できるようになっている。すなわち、この実施例ではショートパターン350が低インピーダンス手段Zfとして用いられている。上記ショートバタ

源変動が伝わり易くなる。

なお、第7図において、500は例えばS10膜のような層間絶縁膜である。

上記実施例では、Vcc1ラインの配線パターンとVcc2ラインの配線パターンとを接続する低インピーダンス手段Zfとしてアルミニウムからなるショートパターンを用いているが、アルミニウムの代わりにTi、W、Moその他の高融点金属または低抵抗ポリシリコンもしくは金属シリコンの化合物等を用いてもよい。

また、上記実施例ではVcc1ラインとVcc2ラインの配線パターン同士を3層目のアルミニウム層において隣接させているが、3層目の代わりに2層目のアルミニウム層または2層目および3層目のアルミニウム層において同電位の電源配線パターン同士を隣接させるようにしてもよい。その場合、ショートパターンは最上層とされる3層目のアルミニウム層でなく、2層目(下層)のアルミニウム層によって形成させることが可能である。

以上説明したように上記実施例においては、同電位の電源供給経路が実装系で共通化された半導体集積回路装置において、電流の安定している回路と電流変化の大きな回路とに対応して同電位の電源配線を分離するとともに、それらの電源配線を少なくとも半導体チップ内の一端で互いに接続するように配設する。そして、共通化された実装系の電源配線路のインダクタンス  $L_0$  が内部の電源配線のインダクタンス  $L_1$ ,  $L_2$  に比べて充分に大きい場合には内部の電源配線を分離したままにしておく。一方、実装系の電源供給経路のインダクタンス  $L_0$  が内部の電源配線のインダクタンス  $L_1$ ,  $L_2$  に比べて比較的小さい場合には、分離されたチップ内部の電源配線同士をその接続箇所でアルミパターン等の低インピーダンス手段  $Z_1$  で短絡させる。このように共通電源供給経路のインダクタンス  $L_0$  が大きい場合にはチップ内の電源配線が分離されたままでされるので、電流変化の大きい電源配線から電流変化の少ない電源配線への電源電圧変動の影響を小さくできる。一方、

実装系の共通電源供給経路のインダクタンス  $L_0$  が小さい場合には、チップ内の電源配線が互いに短絡されるため、電流変化の大きい電源配線から電流変化の少ない電源配線への影響は小さくできないが、電源配線用のノイズの時間差をなくし、内部の電流変化がチップ外部へ伝わり再び戻ってくることによる共鳴現象を防止して第8図(b)のごとく電源変動の収束を速めることができ、これによって論理LSI全体としての交流ノイズマージンを拡大させることができるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば上記実施例では、電源電圧  $V_{cc}$  側の電源供給経路のインダクタンスに着目して電源ノイズ対策を施したものについて説明したが、電源電圧  $V_{ee}$  側についても同様のノイズ対策を施すようにしてもよい。ただし、実施例の半導体回路

装置の場合、 $V_{cc}$  が接地電位であり、設計の際には  $V_{cc}$  を基準電位として信号のレベル等を決定しているとともに、半導体チップ内においては  $V_{ee}$  側の電位が揺れると信号のレベルにもそれに追従して揺れることが多いので電源電圧  $V_{ee}$  の変動はそれほどマージンの低下に結び付かない。従って、基準電位となる  $V_{cc}$  側についてのみ少なくとも本発明を適用すれば効果がある。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である ECL ゲートを基本論理回路とする論理LSIに適用した場合について説明したが、この発明はそれに限定されるものではなく、NANDゲートやTTLゲート等のバイポーラトランジスタ論理ゲートはもちろんCMOS論理ゲートや Bi-CMOS 論理ゲートを含む半導体論理回路装置一般に利用することができる。

#### [発明の効果]

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記

のとおりである。

すなわち、同電位の電源供給経路が実装系で共通化されるようにされた半導体集積回路装置において、回路内の電流変化に伴う電源電圧の変動を実装形態に応じて有効に抑制し、交流ノイズマージンを拡大させることができる。

#### 4. 図面の簡単な説明

第1図は本発明に係る給電方式の概念を模式的に示す構成図。

第2図は本発明を論理LSIに適用した場合の一実施例を示すブロック図。

第3図は第2図の論理LSIを構成するECLゲートの一例を示す回路図。

第4図は本発明を適用した論理LSIの第2の実施例を示す回路図。

第5図は本発明を適用した論理LSIの配線パターン例を示す平面図。

第6図はその要部拡大平面図。

第7図は第6図における X-X' 線に沿った断面図。

第8図(a)は従来の論理LSIにおける電源電圧の共振状態を示す波形図。

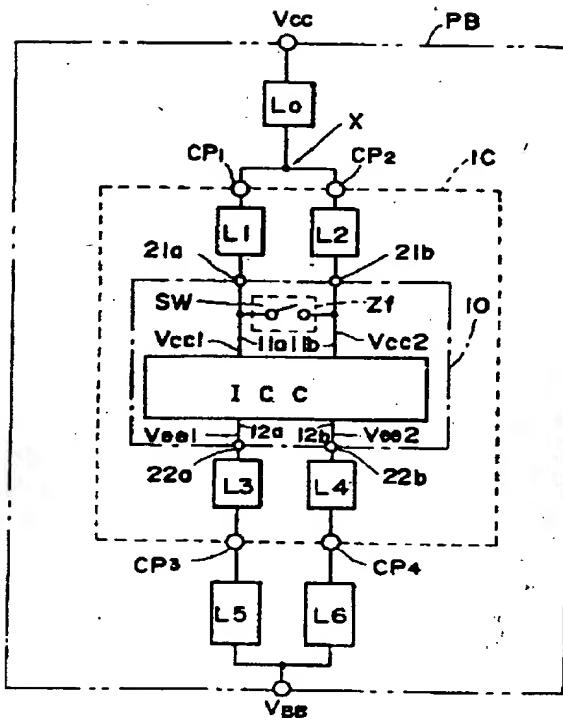
第8図(b)は本発明を適用した論理LSIにおける電源電圧の変動の様子を示す波形図、

第9図および第10図はパッケージ構造及び実装構造の模式図である。

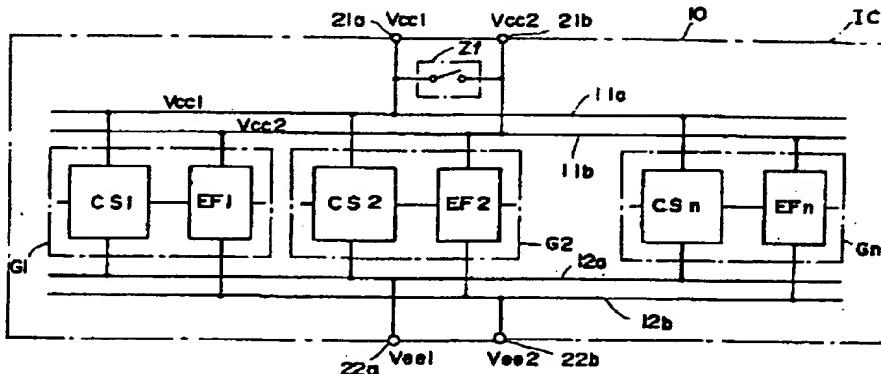
10 ……半導体チップ、11a ……電源配線  
 (Vcc1 ライン)、11b ……電源配線 (Vcc2 ライン)、11c ……電源配線 (Vcc3 ライン)、211a, 311a ……Vcc1 ラインの配線パターン、211b, 311b ……Vcc2 ラインの配線パターン、320 ……Vcc3 ラインの配線パターン、212a, 312b ……Vee1 ライン、212b, 312b ……Vee2 ライン、350 ……ショートパターン、411a ~ 412b ……スルーホール、CS ……カレントスイッチ回路、EF ……エミッターフォロワ。

代理人弁理士大日方富雄

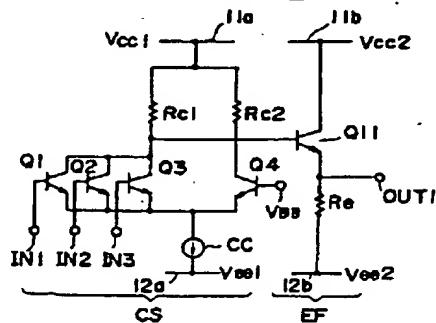
第 1 四



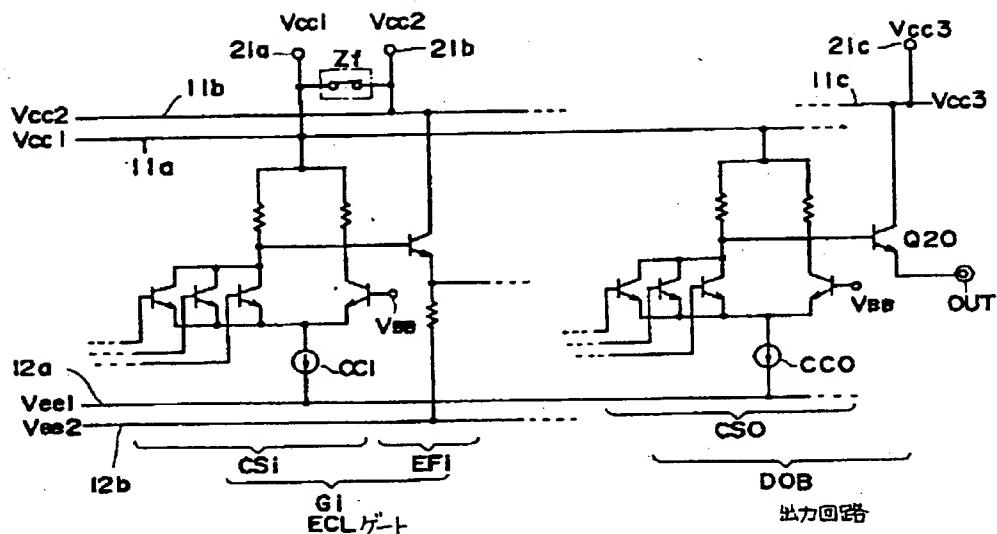
## 第 2 図



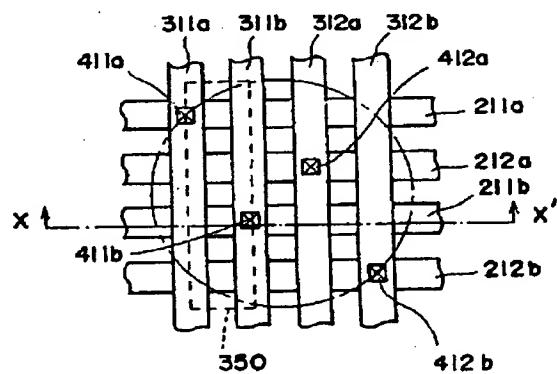
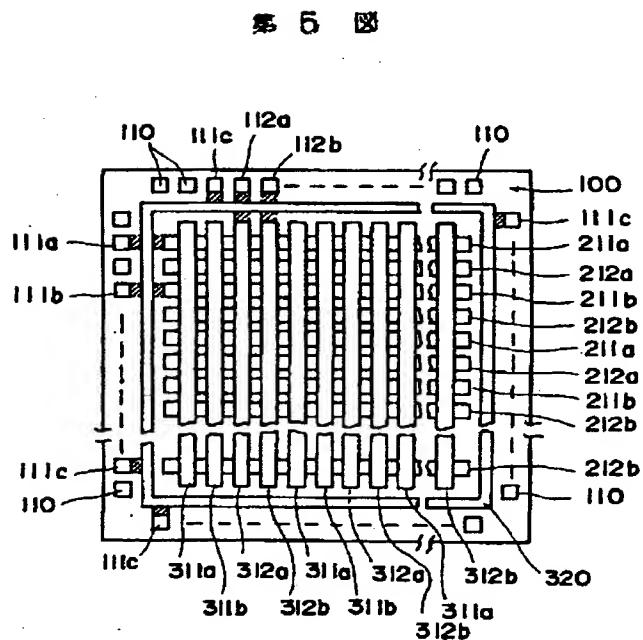
三



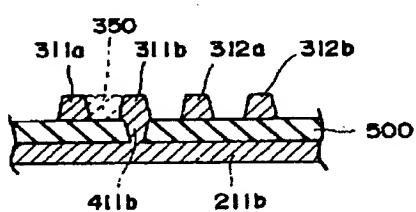
第 4 図



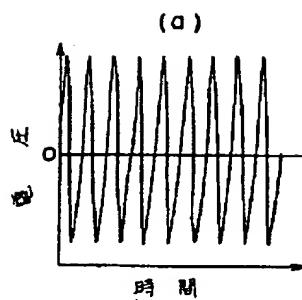
第 6 図



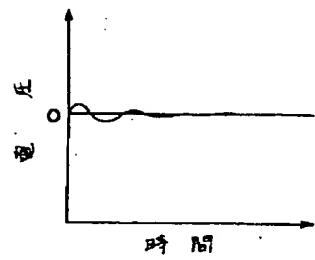
第 7 図



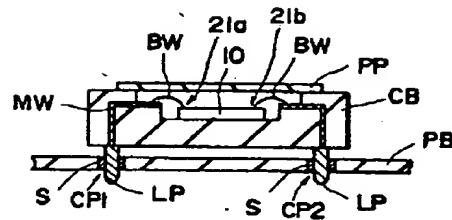
第8図



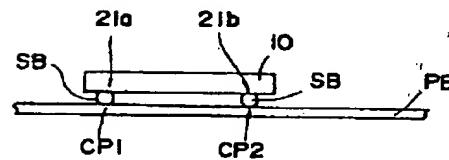
(b)



第9図



第10図



## 第1頁の続き

②Int. Cl.<sup>5</sup>  
H 03 K 19/086

識別記号

厅内整理番号  
8941-5J

⑦発明者 田中 一雄

東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センター内

⑦発明者 吉田 丞廣

神奈川県秦野市堀山下1番地 日立コンピュータエンジニアリング株式会社内

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成11年(1999)4月30日

【公開番号】特開平4-132252

【公開日】平成4年(1992)5月6日

【年通号数】公開特許公報4-1323

【出願番号】特願平2-253637

【国際特許分類第6版】

H01L 21/82

21/822

27/04

H03K 19/086

【F I】

H01L 21/82 L

H03K 19/086

H01L 27/04 D

手続補正書(販売)

平成11年3月22日

特許庁長官 謹

1. 事案の表示

平成2年特許公報253637号

2. 発明の名前

半導体集積回路装置

3. 補正をする旨

事件との関係 特許出願人

住所 T101東京都千代田区神田錦町四丁目6番地

名 員 (510)株式会社 日立製作所

住 所 〒101東京都千代田区神田錦町四丁目6番地

名 員 日立コンピュータエンジニアリング株式会社

4. 代理人

住 所 〒152東京都新宿区神楽坂3丁目4番地

山本ビル2階 電話 03(3369)1450

氏 名 (551)多賀士 大日方 実雄



5. 補正の対象

(1) 先用の名前

(2) 明細書の著者請求の範囲の範囲

(3) 明細書の要約の詳細な説明の範囲

6. 補正の内容

(1) 著者の名前を「半導体集積回路装置」と補正する。

(2) 着者請求の範囲を別紙のとおり補正する。

(3) 明細書第3頁第10行目および第16行目にそれぞれ「インダクタンスを1」とあるのを、「インダクタンスなし」と補正する。

(4) 明細書第13頁第14行目および第16行目にそれぞれ「第1回」とあるのを「第2回」と補正する。

(5) 明細書第13頁第18行目に「第2回」とあるのを「第1回」と補正する。

(6) 明細書第17頁第17~18行目に「コモンコードノイズ」とあるのを、「コモンモードノイズ」と補正する。

(7) 明細書第19頁第14行目に「論じたに」とあるのを「論じて」にと補正する。

## 野野原の発明

1. 半導体チップ上に同一電位の電源電圧を供給する電源配線が2段に分離が成されるとともに、分離された各電源配線に対応して電源端子がそれぞれ付けられ、かつ上記2段上の電源配線は少なくとも一部で互いに接続するように配線され、外側の共通電源供給端子の有するインダクタンスが相対的に小さい場合には上記電源配線が分離されたままにされ、上記外側の共通電源供給端子の有するインダクタンス半端子として上記電源配線間と上記端子間に並列に接続される。

2. 上記外側インピーダンス半端子は、電源配線間を接続するように形成される導体材端子からなる端子部/バーンであることを特徴とする請求項1に記載の半導体回路装置。

3. 上記半導体回路が複数の配線層で構成されている場合に、上記シートパテーンは上記複数の配線層のうち最も疊る配線層によって形成されることを特徴とする請求項2に記載の半導体回路装置。

4. 下導体チップの外部から供給される第1電源電圧を受ける第1電源端子と、半導体チップの外部から供給される上記第1電源電圧と対称的に同一電位の第2電源電圧を受ける第2電源端子と、

互いに電気的に結合された複数の配線層からなり上記第1電源端子に接続され第1電源電圧を内部回路へ供給する第1電源配線と、

互いに電気的に結合された複数の配線層からなりそれらのうち子め決定された一つの端子端子上記第1電源配線の所定の端子部と接続して接続されかつ上記第2電源端子に接続されて第2電源端子を内部回路へ供給する第2電源配線と、

互いにエミッタ共通端子で人力替りまたは半導体電圧をベースに受けける一般的のバイオペラトランジスタと、これらの入力用および参照用トランジスタのコレクタにそれぞれ接続された負荷端子と、上記トランジスタの共通エミッタに接続された参考端子と、上記入力用トランジスタのコレクタと負荷端子との接続ノードにベースが接続されたエミッタフォロワ型トランジスタと、

を除く、上記入力用および参照用トランジスタのコレクタには上記負荷端子を

介して第1電源配線により上記第1電源電圧が供給され、上記出力端子トランジスタのコレクタには上記第2電源配線により上記第2電源電圧が供給されるように構成されていることを特徴とする半導体回路装置。

5. 上記複数の配線層からなるすべての上記第1電源配線は互いに対称的に配置され、上記複数の配線層からなるすべての上記第2電源配線は互いに対称的に配置されるとともに、

複数のリードピンとともにパッケージに対応され、上記複数のリードピンのうち一つは上記第1電源電子を介して上記第1電源配線に電気的に接続され、上記複数のリードピンのうち他の一つは上記第2電源端子を介して上記第2電源配線に電気的に接続されていることを特徴とする請求項4に記載の半導体回路装置。

6. 上記パッケージに合わせて形成された複数子段を備えたプリント基板上に請求項4または5に記載の半導体回路が搭載された上記パッケージが形成され、上記リードピンは上記プリント基板の所定の接続点に金属バンプによって結合されていることを特徴とする電子回路装置。

7. 半導体半導体回路装置に合わせた形状を有するプリント基板上に請求項4または5に記載の半導体回路が搭載された、上記第1電源端子および上記第2電源端子がそれぞれ上記プリント基板の所定の接続点に金属バンプによって結合されていることを特徴とする電子回路装置。

8. 上記半導体半導体回路装置の上記第1電源配線および上記第2電源配線間に並びインピーダンス半端子によって接続されていることを特徴とする請求項7に記載の電子回路装置。

9. 半導体チップの外部から供給される第1電源電圧を受ける第1電源端子と、半導体チップの外部から供給される上記第1電源端子と対称的に同一電位の第2電源電圧を受ける第2電源端子と、

半導体チップの外部から供給される上記第1電源端子と対称的に同一電位の第3電源電圧を受ける第3電源端子と、

互いに電気的に結合された複数の配線層からなり上記第1電源端子に接続され第1電源電圧を内部回路へ供給する第1電源配線と、

を除く、上記入力用および参照用トランジスタのコレクタには上記負荷端子を

## 外部出力端子と、

互いに電気的に結合された複数の配線層からなりそれらのうち子め決定された一つの端子端子上記第1電源配線の所定の端子部と接続して接続されかつ上記第2電源端子に接続されて第3電源端子を内部回路へ供給する第3電源配線と、

上記複数の配線層の少なくとも1つの端子端子からなり上記第3電源端子に接続されて上記第3電源端子を内部回路へ供給する第3電源配線と、

上記外側出力端子にエミッタが接続され、上記第3電源配線を介して第3電源電圧を受ける電源電圧端子にコレクタに接続された出力バイオペラトランジスタと、

互いにエミッタ共通端子で人力替りまたは半導体電圧をベースに受けける一般的のバイオペラトランジスタと、これらの入力用および参照用トランジスタのコレクタにそれぞれ接続された負荷端子と、上記トランジスタの共通エミッタに接続された参考端子と、上記入力用トランジスタのコレクタと負荷端子との接続ノードにベースが接続されたエミッタフォロワ型トランジスタと、

を除く、上記入力用および参照用トランジスタのコレクタには上記負荷端子を介して第1電源配線により上記第1電源端子が供給され、上記出力端子トランジスタのコレクタには上記第2電源配線により上記第2電源端子が供給されるよう構成されていることを特徴とする半導体回路装置。

10. 半導体基板回路面に合わせて接続点を有するプリント基板上に請求項9に記載の半導体回路装置が搭載され、上記第1電源端子、上記第2電源端子および上記第3電源端子がそれぞれ上記プリント基板の所定の接続点に金属バンプによって結合されていることを特徴とする電子回路装置。

11. 上記半導体基板回路装置の上記第1電源配線および上記第2電源配線には並びインピーダンス半端子によって接続されていることを特徴とする請求項10に記載の電子回路装置。

12. 上記端子の配線層からなるすべての第1電源配線は互いに電気的に結合され、上記第1電源配線からなるすべての第2電源配線は互いに電気的に結合され、上記初段の配線層からなるすべての第3電源配線は互いに電気的に結合されるとともに、互いのリードピンとともにパッケージに対応され、上記複数のリードビ

ンのうち一つは上記第1電源端子を介して上記第1電源配線に電気的に接続され、上記外側のリードピンのうち他の一つは上記第2電源端子を介して上記第3電源配線に電気的に接続され、上記裏面のリードピンのうちさらに他の一つは上記第3電源端子を介して上記第3電源配線に電気的に接続されていることを特徴とする請求項8に記載の半導体半導体回路装置。

13. 上記パッケージに合わせて形成された複数子段を備えたプリント基板上に請求項1または2に記載の半導体半導体回路装置が搭載された上記パッケージが形成され、上記リードピンは上記プリント基板の所定の接続点に結合されていることを特徴とする電子回路装置。

14. 半導体チップの外側から供給される第1電源端子を受ける第1電源端子と、半導体チップの外側から供給される上記第1電源端子と対称的に同一電位の第2電源端子を受ける第2電源端子と、

互いに電気的に結合された複数の配線層からなり上記第1電源端子に接続され第1電源端子を内部回路へ供給する第1電源配線と、

互いに子め決定された複数の配線層からなりそれらのうち子め決定された一つの端子端子上記第1電源配線の所定の端子部と接続して接続されかつ上記第2電源端子に接続されて第2電源端子を内部回路へ供給する第2電源配線と、

上記第1電源配線を介して第1電源端子の負荷を受ける第1電源端子端子を有し入力付近に接続して所定の動作動作を行なう電極端子と、上記第2電源配線を介して第2電源端子の負荷を受ける第2電源端子端子を有し上記端子端子からの出力端子と組みしなる複数の動作ゲート端子と、

を併せてなることを特徴とする半導体半導体回路装置。

15. 上記端子端子は、互いにエミッタ共通端子で人力替りまたは半導体電圧をベースに受けける一般的のバイオペラトランジスタと、これらのトランジスタのコレクタにそれぞれ接続された負荷端子と、上記トランジスタの共通エミッタに接続された参考端子とからなり、上記出力端子は、上記端子端子の上記入力用トランジスタコレクタと負荷端子との接続ノードにベースが接続されたエミッタフォロワ型トランジスタからなり、上記第1電源端子は上記負荷端子を通過して上記端子端子の第一のトランジスタのコレクタにそれぞれ供給され、上記第2電源端子は上記

エミッタフォロフ突出カトランジスタのコレクタに接続されることを特徴とする、請求項1-4に記載のモルタル回路装置。

15. 上記複数の配線端からなるすべての上記第1電源配線は互いに電気的に結合され、上記複数の配線端からなるすべての上記第2電源配線は互いに電気的に結合されるとともに、

複数のリードピンとともにパッケージに封止され、上記複数のリードピンのうち一つは上記第1電源端子を介して上記第1電源配線に電気的に接続され、上記複数のリードピンのうち他の一つは上記第2電源端子を介して上記第2電源配線に電気的に接続されていることを特徴とする請求項1-4または16に記載の半導体回路装置。

17. 上記パッケージに合わせて形成された接続手段を備えたプリント基板上に請求項1-4～16に記載の下巻体接続回路装置が搭載され、上記リードピンは上記プリント基板の所定位置に結合されていることを特徴とする電子回路装置。

18. 請求項1-4～16に記載の半導体接続回路装置は上記複数の配線端からなるすべての上記第1電源配線が互いに電気的に結合され、上記複数の配線端からなるすべての上記第2電源配線が互いに電気的に結合されるとともに、

半導体接続回路装置に合わせた接続点を有するプリント基板上に上記半導体接続回路装置が搭載され、上記第1電源端子および上記第2電源端子がそれぞれ上記プリント基板の所定の接続点に金属バンプによって結合されていることを特徴とする電子回路装置。

19. 上記半導体接続回路装置内に上記第1電源配線および上記第2電源配線内は低インピーダンス子段によって接続されていることを特徴とする請求項18に記載の電子回路装置。